# **EUROPEAN PATENT OFFICE**

# **Patent Abstracts of Japan**

**PUBLICATION NUMBER** 

61147551

**PUBLICATION DATE** 

05-07-86

**APPLICATION DATE** 

21-12-84

**APPLICATION NUMBER** 

59269910

APPLICANT: NEC CORP;

INVENTOR:

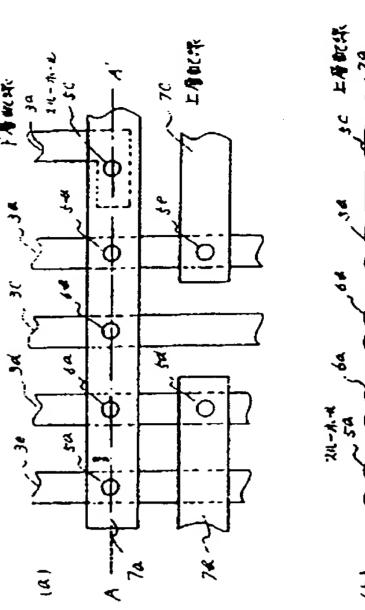
KANO ISAO;

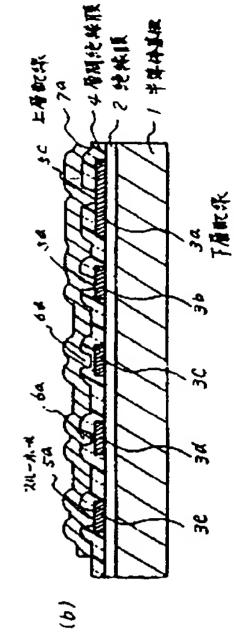
INT.CL.

: H01L 21/88

TITLE

: SEMICONDUCTOR DEVICE





ABSTRACT:

PURPOSE: To prevent the imitation and copying of a wiring pattern by a method wherein false through holes, with which no electric connection is performed, is provided in a multilayer wiring structure.

CONSTITUTION: A plurality of false through holes 6a and 6b, of almost same apparent size as through holes 5a~5e, with which the lower layer wirings 3a~3e and the upper layer wirings 7a-7c are not electrically connected, are formed. As result, the wirings 3a, 3b, 3c, 3d and 3e are looked like as if they are connected to the wirings 7a via the through holes 5a, 5b, 5c, 6a and 6b by a third person who has no circuit diagram. As a result, the wiring pattern can be prevented from imitation and copying.

COPYRIGHT: (C)1986,JPO&Japio

THIS PAGE BLANK (USPTO)

⑩ 日本 国特許庁(JP)

⑪特許出願公開

# ⑫公開特許公報(A)

昭61 - 147551

(1) Int Cl.4

識別記号

庁内整理番号

❸公開 昭和61年(1986)7月5日

H 01 L 21/88

6708-5F

審査請求 未請求 発明の数 1 (全3頁)

❷発明の名称 半導体装置

> 昭59-269910 创特

昭59(1984)12月21日 20世

野 砂発 明 鹿 者

功

東京都港区芝5丁目33番1号

東京都港区芝5丁目33番1号 日本電気株式会社内

①出 顋 日本電気株式会社

20代 理 人 弁理士 内原

1 発明の名称 半導体装置

## 2. 特許請求の範囲

多層配線構造を有する半導体装置において、下 **層配線と上層配線間の層間絶象膜に下層配線と上** 展配線を電気的に接続するスルーホールを有し、 かつ前記スルーホールと見かけの寸法はほぼ同等 で下層配線と上層配線とを電気的に接続しない復 数の摂似スルーホールを有することを特徴とする 半導体裝置。

## 3. 発明の詳細な説明

〔盘乗上の利用分野〕

本発明は、半導体装置に関し、特に配線パター ンの模倣、コピーを防止するための配線層間絶線 **真に開孔するスルーホールに関するものである。** 

〔従来の技術〕

従来、多層配線構造を有する半導体装置は、例 えば第2図(3)。回の構造を有している。すなわち、 第2図(a), (b)に示すように、半導体基板21の上 に設けられた絶縁膜22上に下層配線23a~23e が形成されその上に層間絶縁膜24が形成され、 前記層間絶縁膜24匹は、下層配無と上層配線を 低気的に接続するスルーホール 25m~25c が形 成され、その上に上層配線 27 a~27 c が形成さ れる。第2図(b)は従来例の平面図であり、第2図 (a)は、第2図(b)のA-A'間の断面図である。

## (発明が解決しようとする問題点)

従来の多層配線構造では、平面図の第2図(b)を 見れは回路図を持っていない第3者でも、23c の配綴と23bの配線、23aの配線が、それぞ れスルーホール25m, 25b, 25cを介して 上層配線27aに電気的に接続していることがわ かる。即ち與3者でも半導体基板の平面写真ある いは平面図が手に入ることにより、あるいは顕微 鏡により上から観察することにより従来技術では 多層配線において、層間絶線膜に下層配線と上層

## 特開昭61-147551(2)

配線間のスルーホールが電気的に接続されている ことが確実であるため、他業者は順次上層パメー ンから下層パメーンまた下層パメーンから上層パ メーンへスルーホールを通して配線を迫ってゆけ は、その製品の回路パメーンを解読することが比 教的容易にできる。

**₩**(\*\***5**₹.

一方、半導体装置の高集積化が進むにつれ開発 工数、開発費は著しく増大しつつある。ところが 競合他業者は、開発された半導体装置の配線パメ ーン、及び回路を上記したように解読し、複裂す ることによりわずかの費用・工数で同等の製品を 開発できるという問題が生じてきた。

本発明は上記問題点に対処してなされたもので、 多層配級構造の配級パターンの解院、模倣、コピーを防止することができる半導体装置を提供する ことを目的とする。

#### (問題点を解決するための手段)

本発明の半導体装置は、多層配線構造を有する 半導体装置にないて、下層配線と上層配線を接続 するスルーホールを有し、かつ前配スルーホール

5 c の孔を通じて7 a の上層配線に接続しているように見える。しかしながら実際には3 c, 3 b, 3 a の配線が、それぞれ5 a, 5 b, 5 c のスルーホールを介して7 a の上層配線に接続しているだけで他の3 d, 3 c の配線は7 a とは、電気的に接続されていないのである。

使って、第3者が本半導体装置の回路図を解説することは、技術的に困難であり、解読し得るとしても従来例の半導体装置の回路図を知り得るに要する時間とコストの何倍もの時間とコストを要すること〉考えられ、特に集積回路の大規模化にともないその効果は大きくなる。すなわち、半導体装置の配線パメーン及び回路模倣の防止に役立つものである。

## (発明の効果)

以上説明したように、本発明は多層配線構造に おいて電気的接続を行なわない袋似スルーホール を設けることにより、配線パターンの模倣、コピ ーを防止することができ集積回路装置の開発者の 保護をすることができる。 と見かけの寸法はほぼ同等で下層配線と上層配線 とを電気的に接続しない複数の提似スルーホール を有することにより構成される。

### (実施例)

次に、本発明の実施例について、図面を参照して説明する。第1図(a)、(b)は本発明の一実施例の平面図与よびA-A/間の断面図である。

第1図(a), (b)にかいて、半導体差板1の上に設けられた絶縁膜2の上に下層配線3a~3eが形成され、層間絶縁膜4が形成され、層間絶縁膜4が形成され、層間絶縁膜4には下層配線と上層配線を電気的に接続するスルーホール5a~5eと見かけの寸法は性傾向等で、下層配線と上層配線を電気的に接続しない複数の擬似スルーホール6a, 6bが形成され、さらにその上に上層配線7a~7cが形成されている。

今、第1図(a)の平面図を見るとき、回路図を持っていない第3者には3e、3d、3c,3b、3 a の配線がそれぞれ5 a,6 a,6 b,5 b.

## 4. 図面の簡単な説明

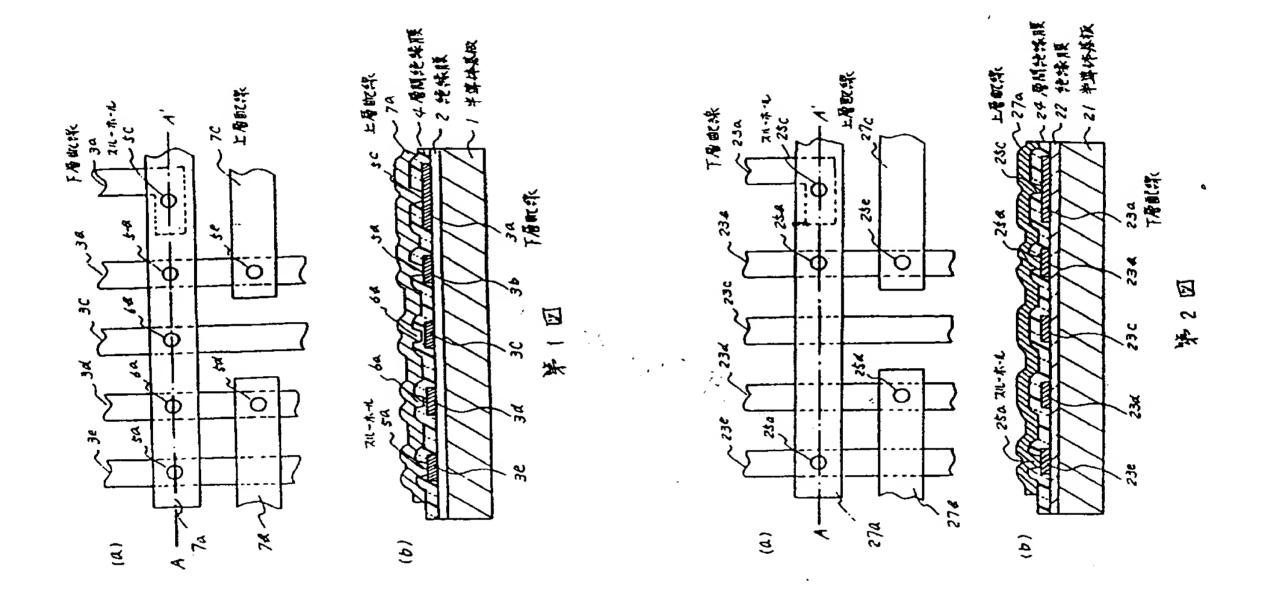
第1図(a), (b)は本発明の一実施例の平面図かよびA-A'線に於ける断面図、第2図(a), (b)は従来構造の多層配線を有する半導体装置の一例の平面図及びそのA-A'線に於ける断面図である。

1, 21……半導体基板、2, 22……絶線膜、3 a, 3 b, 3 c, 3 d, 3 e, 2 3 a, 2 3 b, 2 3 c, 2 3 d, 2 3 e……下層配線、4, 2 4……層間絶線膜、5 a, 5 b, 5 c, 5 d, 5 e, 2 5 a, 2 5 b, 2 5 c, 2 5 d, 2 5 e……スルーホール、6 a, 6 b……擬似スルーホール、7 a, 7 b, 7 c, 2 7 a, 2 7 b, 2 7 c……上層配線。

代理人 弁理士 内 原



# 特開昭61-147551(3)



THIS PAGE BLANK (USPTO)